



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0018274  
Application Number

출원 년 월 일 : 2003년 03월 24일  
Date of Application  
MAR 24, 2003

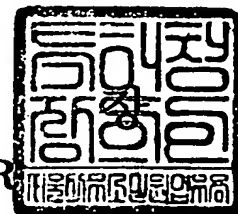
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      06      월      25      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.24
【발명의 명칭】	반도체 웨이퍼의 가장자리 칩들에 기인하는 결함들을 제거하기 위한 반도체 공정
【발명의 영문명칭】	semiconductor process for removing defects due to edge chips of a semiconductor wafer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	채희선
【성명의 영문표기】	CHAE,HEE SUN
【주민등록번호】	610225-1029426
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161번지 진산마을 수지삼성5차아파트5 03동 906호
【국적】	KR
【발명자】	
【성명의 국문표기】	박경신
【성명의 영문표기】	PARK,KYOUNG SHIN
【주민등록번호】	611201-1041432
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1323번지 써미트빌아파트 213동 802호
【국적】	KR

**【발명자】****【성명의 국문표기】**

박정훈

**【성명의 영문표기】**

PARK, JEONG HUN

**【주민등록번호】**

680928-1238811

**【우편번호】**

442-470

**【주소】**경기도 수원시 팔달구 영통동 벽적골 태영아파트 932동  
1701호**【국적】**

KR

**【취지】**특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 박상  
수 (인)**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

5 면 5,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

0 항 0 원

**【합계】**

34,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 웨이퍼의 가장자리 칩들에 기인하는 결함들을 제거하기 위한 반도체 공정을 제공한다. 이 반도체 공정은 반도체 웨이퍼 상에 몰딩산화막을 형성하는 것을 구비한다. 상기 몰딩산화막을 스토리지 노드 마스크를 사용하여 패터닝하여 상기 웨이퍼의 내측에 한정되는 복수개의 유효칩 영역들 및 상기 웨이퍼의 가장자리에 한정되는 복수개의 가장자리 칩 영역들 내에 스토리지 노드 홀들을 형성한다. 상기 스토리지 노드 홀들 내에 서로 분리된 스토리지 노드들을 형성한다. 상기 스토리지 노드들을 갖는 반도체 웨이퍼의 전면 상에 포토레지스트막을 도포한다. 상기 유효칩 영역들 상의 상기 포토레지스트막을 블랭크 마스크를 사용하여 선택적으로 제거하여 상기 가장자리 칩 영역들을 덮는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 습식식각 마스크로 사용하여 상기 유효칩 영역들 내의 상기 몰딩 산화막을 습식식각하여 상기 유효칩 영역들 내의 상기 스토리지 노드들의 측벽들을 선택적으로 노출시킨다.

**【대표도】**

도 10

**【명세서】****【발명의 명칭】**

반도체 웨이퍼의 가장자리 칩들에 기인하는 결함들을 제거하기 위한 반도체 공정  
{semiconductor process for removing defects due to edge chips of a semiconductor wafer}

**【도면의 간단한 설명】**

도 1 내지 도 6은 종래의 반도체 공정을 설명하기 위한 단면도들이다.

도 7은 본 발명의 실시예에 따른 반도체 공정을 설명하기 위한 평면도이다.

도 8 내지 도 12는 도 7의 I-I에 따라 본 발명의 실시예에 따른 반도체 공정을 설명하기 위한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 소자의 제조공정에 관한 것으로, 특히 반도체 웨이퍼의 가장자리 칩들에 기인하는 결함들을 제거하기 위한 반도체 공정에 관한 것이다.
- <5> 대부분의 반도체 칩들은 원형의(circle-shaped) 반도체 웨이퍼에 형성된다. 이에 따라, 상기 반도체 웨이퍼의 가장자리에 위치하는 반도체 칩들은 비정상적인 패턴들을 보일 수 있다. 이는 상기 반도체 웨이퍼의 가장자리에 소정의 패턴을 형성하기 위한 사진공정을 실시하는 동안 발생하는 초점불량(defocus) 등에 기인한다.

- <6> 도 1 내지 도 6은 상기 반도체 웨이퍼에 디램소자들을 형성하기 위한 종래의 반도체 공정을 보여주는 단면도들이다. 각 도면들에 있어서, 참조부호 "A" 및 "B"로 표시된 부분들은 각각 반도체 웨이퍼의 내측에 형성되는 메인 칩 영역 및 가장자리에 형성되는 가장자리 칩 영역을 나타낸다.
- <7> 도 1을 참조하면, 반도체기판(1) 상에 층간절연막(3) 및 식각저지막(7)을 차례로 형성한다. 상기 식각저지막(7) 및 층간절연막(3)을 패터닝하여 상기 메인 칩 영역(A) 및 가장자리 칩 영역(B) 내에 각각 메인 칩 매립콘택 홀들 및 가장자리 칩 매립콘택 홀들을 형성한다. 상기 메인 칩 매립콘택홀들 및 가장자리 칩 매립콘택홀들 내에 각각 메인 칩 매립콘택 플러그들(5a) 및 가장자리 칩 매립콘택 플러그들(5b)을 형성한다. 상기 매립콘택플러그들(5a, 5b)을 갖는 반도체 웨이퍼의 전면 상에 몰딩 산화막(9)을 형성한다. 상기 몰딩 산화막(9) 상에 포토레지스트막(11)을 도포한다. 상기 포토레지스트막(11)은 일반적으로 도식된 바와 같이 웨이퍼(1)의 전면 상에 걸쳐서 불균일한 두께를 갖는다. 즉, 상기 웨이퍼(1)의 가장자리 영역 상의 포토레지스트막은 그 내측영역(inside region) 상의 포토레지스트막보다 두껍게 형성될 수 있다.
- <8> 계속해서, 상기 웨이퍼(1)의 가장자리 상의 포토레지스트막(11)을 선택적으로 노광 및 제거하여 상기 웨이퍼(1)의 가장자리 상의 몰딩 산화막(9)을 노출시킨다. 상기 가장자리 노광 공정(edge exposure process)은 후속공정에서 실시되는 건식식각 공정 동안 상기 웨이퍼의 가장자리와 접촉하는 클램프가 상기 포토레지스트막에 의해 오염되는 것을 방지하기 위함이다. 상기 노출된 가장자리 몰딩

산화막(exposed edge molding oxide layer)은 폭(We)을 갖는다. 상기 폭(We)은 상기 웨이퍼(1)에 형성되는 유효 칩들의 개수를 증가시키기 위하여 최소화시키는 것이 바람직하다. 따라서, 상기 웨이퍼(1)의 가장자리 상의 포토레지스트막(11)을 선택적으로 제거할지라도, 상기 웨이퍼(1) 상에 잔존하는 포토레지스트막(11)은 여전히 불균일한 두께를 갖는다.

<9> 다음에, 상기 잔존하는 포토레지스트막을 스토리지 노드 마스크를 사용하여 노광 및 현상한다. 그 결과, 상기 메인 칩 영역(A) 및 상기 가장자리 칩 영역(B) 내에 각각 제1 스토리지 노드 개구부들(storage node openings; 11a) 및 제2 스토리지 노드 개구부들(11b)이 형성된다. 상기 제1 스토리지 노드 개구부들(11a)은 상기 메인 칩 영역(A) 내의 상기 몰딩 산화막(9)을 노출시키는 정상적인 프로파일을 보이는 반면에, 상기 제2 스토리지 노드 개구부들(11b)은 상기 가장자리 칩 영역(B) 내의 상기 몰딩막 산화막(9)을 노출시키지 않는 비정상적인 프로파일을 보인다. 이러한 현상은 상술한 바와 같이 상기 포토레지스트막의 불균일한 두께에 기인한다. 다시 말해서, 상기 스토리지 노드 마스크를 사용하여 실시되는 노광공정은 상기 메인 칩 영역(A) 내의 포토레지스트막(11)의 두께에 적합하도록 정해진 초점 허용범위(focus latitude)를 사용하여 진행된다. 이에 따라, 상기 가장자리 칩 영역(B) 상에 조사되는 빛의 초점 허용범위를 최적화시키기가 어렵다. 결과적으로, 상기 가장자리 칩 영역(B) 내에서 초점불량(defocus)이 발생하여 상기 제2 스토리지 노드 개구부들(11b)은 비정상적인 프로파일을 보인다. 이에 더하여, 상기 가장자리 칩 영역(B) 내에서의 초점불량은 상기 웨이퍼(1)의 가장자리, 특히 베블부위(bevel region) 상에서의 불규칙한 표면 프로파일에 기인할 수도 있다.

<10> 도 2를 참조하면, 상기 제1 및 제2 스토리지 노드 개구부들(11a, 11b)을 갖는 포토 레지스트막(11)을 식각 마스크로 사용하여 상기 몰딩 산화막(9) 및 식각저지막(7)을 식각한다. 그 결과, 상기 메인 칩 영역(A) 내에 상기 메인 칩 매립콘택 플러그들(5a)을 노출시키는 제1 스토리지 노드 홀들(13a)이 형성된다. 그러나, 상기 가장자리 칩 영역(B) 내에 비정상적인 프로파일을 갖는 제2 스토리지 노드 홀들(13b)이 형성된다. 상기 제2 스토리지 노드 홀들(13b)은 도시된 바와 같이 상기 가장자리 칩 매립콘택 플러그들(5b)을 노출시키지 않는다. 이는 상기 제2 스토리지 노드 개구부들(11b)의 비정상적인 프로파일에 기인한다. 이어서, 상기 포토레지스트막(11)을 제거한다.

<11> 도 3을 참조하면, 상기 제1 및 제2 스토리지 노드 홀들(13a, 13b)을 갖는 반도체기판의 전면 상에 폴리실리콘막 및 희생 산화막을 차례로 형성한다. 상기 폴리실리콘막은 콘포말하게 형성하고, 상기 희생 산화막은 상기 제1 및 제2 스토리지 노드 홀들(13a, 13b)을 채우기에 충분한 두께로 형성한다. 상기 몰딩산화막(9)의 상부면이 노출될때까지 상기 희생 산화막 및 폴리실리콘막을 에치백한다. 그 결과, 상기 제1 스토리지 노드 홀들(13a) 내에 각각 제1 실린더형의 스토리지 노드들(15a)이 형성되고, 상기 제2 스토리지 노드 홀들(13b) 내에 각각 제2 실린더형의 스토리지 노드들(15b)이 형성된다. 또한, 상기 제1 및 제2 스토리지 노드들(15a, 15b) 내에 각각 희생 산화막 패턴들(17)이 잔존한다. 도 3에 도시된 바와 같이 상기 웨이퍼(1)의 가장자리에 인접한 상기 제2 스토리지 노드들(15b)은 상기 가장자리 칩 매립콘택 플러그들(5b)과 접촉하지 않는다.

<12> 도 4를 참조하면, 상기 몰딩 산화막(9) 및 희생산화막 패턴들(17)을 습식식각 공정을 사용하여 제거한다. 이에 따라, 상기 제1 및 제2 스토리지 노드들(15a, 15b)의 내벽들(inner walls) 및 외측벽들(outer sidewalls)이 노출된다. 상기 몰딩 산화막(9) 및 희



생산화막 패턴들(17)을 습식식각하는 동안, 상기 웨이퍼(1)의 가장자리에 인접한 상기 제2 스토리지 노드들(15b)은 들뜰 수 있다. 이러한 제2 스토리지 노드들(15b)은 상기 메인 칩 영역(A) 상에 흡착되어 오염원(particle sources)으로서 작용한다.

<13> 도 5를 참조하면, 상기 몰딩 산화막(9) 및 희생산화막 패턴들(17)이 제거된 반도체 기판의 전면 상에 유전체막(19) 및 플레이트 도전막을 차례로 형성한다. 상기 플레이트 도전막 및 유전체막(19)을 패턴닝하여 상기 메인칩 영역(A) 내의 셀 어레이 영역 및 상기 가장자리 칩 영역(B) 내의 셀 어레이 영역을 각각 덮는 제1 플레이트 전극(21a) 및 제2 플레이트 전극(21b)을 형성한다. 그 결과, 도 5에 도시된 바와 같이 상기 웨이퍼(1)의 가장자리에 인접한 셀 어레이 영역은 정상적인 셀 어레이 영역(상기 메인 칩 영역(A) 내의 셀 어레이 영역)에 비하여 현저히 낮은 표면 프로파일을 보인다. 다시 말해서, 정상적인 셀 어레이 영역 내의 플레이트 전극(도 5의 21a)의 표면 및 비정상적인 셀 어레이 영역 내의 플레이트 전극(도 5의 21b) 사이에 표면단차(H)가 발생한다. 상기 제1 및 제2 플레이트 전극들(21a, 21b)을 갖는 반도체기판의 전면 상에 상부 층간절연막(23)을 형성한다. 상기 상부 층간절연막(23)은 일반적으로 BPSG막과 같은 유동성 산화막(flowable oxide layer)으로 형성한다. 그럼에도 불구하고, 상기 상부 층간절연막(23)의 표면 역시 상기 표면단차(H)에 기인하여 단차를 갖는다.

<14> 도 6을 참조하면, 상기 상부 층간절연막(23)의 표면단차는 후속공정에서 실시되는 사진공정의 어려움을 초래한다. 이에 따라, 상기 상부 층간절연막(23)을 화학기계적 연마 공정 등을 사용하여 평탄화시키는 것이 요구된다. 그러나, 표면단차를 갖는 상기 상부 층간절연막(23)을 화학기계적 연마 공정을 사용하여 평탄화시키는 경우에, 도 6에 도

시된 바와 같이 비정상적인 셀 어레이 영역과 인접한 정상적인 셀 어레이 영역 내의 플레이트 전극의 상부코너(C)가 노출될 수 있다.

- <15> 상술한 바와 같이 종래의 기술에 따르면, 웨이퍼의 가장자리에 인접한 셀 어레이 영역 내의 스토리지 노드들이 습식식각공정 동안 들뜰 수 있다. 상기 들뜬 스토리지 노드들은 정상적인 메인 칩 영역 상에 흡착되어 오염원으로서 작용한다. 이에 따라, 반도체소자의 수율이 현저히 감소된다. 또한, 상기 스토리지 노드들이 들뜬 비정상적인 영역은 정상적인 셀 어레이 영역에 비하여 낮은 표면을 갖는다. 이에 따라, 후속의 평탄화 공정동안 상기 정상적인 셀 어레이 영역 내의 스토리지 노드들이 노출될 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <16> 본 발명이 이루고자 하는 기술적 과제는 웨이퍼의 가장자리에 인접한 영역 내의 패턴들이 들뜨는 것을 방지할 수 있는 반도체 공정을 제공하는 데 있다.
- <17> 본 발명이 이루고자 하는 다른 기술적 과제는 웨이퍼의 전면에 걸쳐서 평평한 표면을 형성할 수 있는 반도체 공정을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <18> 상기 기술적 과제들을 이루기 위하여 본 발명은 웨이퍼의 가장자리에 인접하는 가장자리 칩들을 선택적으로 덮는 포토레지스트 패턴을 사용하여 상기 가장자리 칩들 내에서의 촛점불량에 기인하는 패턴 들뜸을 방지할 수 있는 반도체 공정을 제공한다. 이 반도체 공정은 반도체 웨이퍼 상에 몰딩산화막을 형성하는 것을 포함한다. 상기 몰딩산화막을 스토리지 노드 마스크를 사용하여 패터닝하여 스토리지 노드 홀들을 형성한다. 상기 스토리지 노드 홀들은 상기 웨이퍼의 내측에 한정되는 복수개의 유효칩 영역들 및 상

기 웨이퍼의 가장자리에 한정되는 복수개의 가장자리 칩 영역들 내에 형성된다. 상기 스토리지 노드 홀들 내에 서로 분리된 스토리지 노드들을 형성한다. 상기 스토리지 노드들을 갖는 반도체기판의 전면 상에 포토레지스트막을 도포한다. 상기 유효칩 영역들 상의 상기 포토레지스트막을 블랭크 마스크를 사용하여 선택적으로 제거하여 상기 가장자리 칩 영역들을 덮는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 습식식각 마스크로 사용하여 상기 유효칩 영역들 내의 상기 몰딩 산화막을 습식식각하여 상기 유효칩 영역들 내의 상기 스토리지 노드들의 측벽들을 선택적으로 노출시킨다.

<19> 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

<20> 도 7은 본 발명의 일 실시예에 따라 반도체 웨이퍼 상에 형성되는 반도체 칩들의 제조공정을 설명하기 위한 평면도이고, 도 8 내지 도 12는 도 7의 I-I에 따라 취해진 단면도들이다. 각 도면들에 있어서, 참조부호 "A" 및 "B"로 표시된 부분들은 각각 반도체 웨이퍼의 내측에 형성되는 유효 칩 영역들 및 상기 반도체 웨이퍼의 가장자리에 형성되는 가장자리 칩 영역들을 나타낸다. 또한, 상기 유효칩 영역들(A)의 각각은 유효 셀 어레이 영역(Cm) 및 상기 유효 셀 어레이 영역(Cm)을 둘러싸는 유효 주변회로 영역(Pm)을 포함하고, 상기 가장자리 칩 영역들(B)의 각각은 가장자리 셀 어레이 영역(Ce) 및 상기 가장자리 셀 어레이 영역(Ce)을 둘러싸는 가장자리 주변회로 영역(Pe)을 포함한다. 상기 칩 영역들(A, B) 사이에 스크라이브 라인(S/L)이 개재된다.

<21> 도 7 및 도 8을 참조하면, 반도체 웨이퍼(51) 상에 하부 층간절연막(53) 및 식각저지막(57)을 차례로 형성한다. 상기 하부 층간절연막(53)을 실리콘 산화막으로 형성하고, 상기 식각저지막(57)은 상기 하부 층간절연막(53)에 대하여 식각선택비를 갖는 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 식각저지막(57) 및 하부 층간절연막(53)을

패터닝하여 상기 각 셀 어레이 영역들(Cm, Ce) 내에 매립 콘택홀들을 형성한다. 상기 매립 콘택홀들은 상기 반도체 웨이퍼(1)의 소정영역들을 노출시킨다. 상기 칩 영역들(A, B)에 형성되는 반도체 소자들이 디램 소자들인 경우에, 상기 매립 콘택홀들은 디램 셀들의 액세스 트랜지스터들의 소오스 영역들을 노출시킨다. 상기 매립 콘택홀들 내에 매립 콘택 플러그들을 형성한다. 상기 매립콘택 플러그들은 상기 유효 셀 어레이 영역(Cm) 내에 형성되는 제1 매립 콘택 플러그들(55a) 및 상기 가장자리 셀 어레이 영역(Ce) 내에 형성되는 제2 매립 콘택 플러그들(55b)을 포함한다.

<22> 상기 매립콘택 플러그들(55a, 55b)을 갖는 반도체 웨이퍼의 전면 상에 몰딩 산화막(59)을 형성한다. 상기 몰딩 산화막(59)은 CVD 산화막으로 형성한다. 상기 몰딩 산화막(59)은 제1 포토레지스트막(61)을 도포한다. 상기 제1 포토레지스트막(61)은 일반적으로 상기 웨이퍼(51)의 전면에 걸쳐서 불균일한 두께를 보인다. 구체적으로, 상기 웨이퍼(51)의 가장자리 상의 제1 포토레지스트막(61)은 상기 웨이퍼(51)의 내측영역 상의 제1 포토레지스트막(61)보다 두꺼울 수 있다. 상기 웨이퍼(51)의 가장자리 상의 상기 포토레지스트막(61)을 선택적으로 노광 및 현상하여 상기 몰딩 산화막(59)의 가장자리를 노출시킨다. 상기 가장자리 노광영역은 제1 폭(W1)을 갖는다. 상기 제1 폭(W1)은 상기 유효 칩 영역들(A)의 개수를 증가시키기 위하여 허용된 범위 내에서 최소값을 갖는 것이 바람직하다. 상기 웨이퍼(51)의 가장자리 상의 제1 포토레지스트막(61)을 제거하는 이유는 후속의 건식식각 공정동안 상기 웨이퍼(51)를 고정시키는 클램프가 상기 제1 포토레지스트막(61)에 의해 오염되는 것을 방지하기 위함이다. 그럼에도 불구하고, 상기 가장자리 노광 영역에 인접한 상기 제1 포토레지스트막(61)은 여전히 상기 웨이퍼(51)의 중심부 상의 제1 포토레지스트막(61)보다 두꺼울 수 있다.

<23>      상기 가장자리 노광 공정 후에 잔존하는 상기 제1 포토레지스트막(61)을 스토리지 노드 마스크를 사용하여 패터닝하여 스토리지 노드 개구부들을 형성한다. 상기 스토리지 노드 개구부들은 상기 유효 셀 어레이 영역(Cm) 내에 형성된 제1 스토리지 노드 개구부들(61a) 및 상기 가장자리 셀 어레이 영역(Ce) 내에 형성된 제2 스토리지 노드 개구부들(61b)을 포함한다. 이 경우에, 상기 제1 스토리지 노드 개구부들(61a)은 상기 몰딩산화막(59)을 노출시키는 정상적인 프로파일을 보이는 반면에, 상기 제2 스토리지 노드 개구부들(61b), 특히 상기 가장자리 노광 영역에 인접한 제2 스토리지 노드 개구부들(61b)은 상기 몰딩 산화막(59)을 노출시키지 않는 비정상적인 프로파일을 보인다. 이는 상술한 바와 같이 상기 제1 포토레지스트막(61)의 불균일한 두께에 의해 발생하는 초점불량(defocus)에 기인한다. 이에 더하여, 상기 초점불량은 상기 웨이퍼(51)의 가장자리, 즉 베블영역(bevel region)의 불규칙한 표면 프로파일에 기인할 수도 있다.

<24>      도 7 및 도 9를 참조하면, 상기 제1 및 제2 스토리지 노드 개구부들(61a, 61b)을 갖는 제1 포토레지스트막(61)을 식각 마스크로 사용하여 상기 몰딩산화막(59) 및 식각저지막(57)을 차례로 식각하여 상기 유효 셀 어레이 영역(Cm) 및 가장자리 셀 어레이 영역(Ce) 내에 각각 제1 및 제2 스토리지 노드 홀들(63a, 63b)을 형성한다. 상기 제1 스토리지 노드 홀들(63a)은 상기 제1 매립 콘택 플러그들(55a)을 노출시키는 정상적인 프로파일을 보이는 반면에, 상기 제2 스토리지 노드 홀들(63b)은 도시된 바와 같이 상기 제2 매립 콘택 플러그들(55b)을 노출시키지 않는 비정상적인 프로파일을 보인다. 이어서, 상기 제1 포토레지스트막(61)을 제거한다.

<25>      도 7 및 도 10을 참조하면, 상기 제1 및 제2 스토리지 노드 홀들(63a, 63b)을 갖는 웨이퍼의 전면 상에 콘포말한 스토리지 노드 도전막을 형성한다. 상기 스토리지 노드 도

전막은 도우핑된 폴리실리콘막으로 형성할 수 있다. 계속해서, 상기 스토리지 노드 도전막 상에 상기 제1 및 제2 스토리지 노드 홀들(63a, 63b)을 채우는 희생산화막을 형성한다. 상기 몰딩산화막(59)의 상부면이 노출될 때까지 상기 희생산화막 및 스토리지 노드 도전막을 에치백하여 상기 제1 및 제2 스토리지 노드 홀들(63a, 63b) 내에 각각 제1 및 제2 실린더형의 스토리지 노드들(65a, 65b)을 형성한다. 이때, 상기 제1 및 제2 실린더형의 스토리지 노드들(65a, 65b) 내에 희생막 패턴들(67)이 잔존한다.

<26> 이와는 다르게, 상기 스토리지 노드 도전막은 상기 제1 및 제2 스토리지 노드 홀들(63a, 63b)을 완전히 채우도록 형성될 수도 있다. 이 경우에, 상기 희생산화막을 형성하는 공정은 생략되고 상기 제1 및 제2 스토리지 노드 홀들(63a, 63b) 내에 각각 제1 및 제2 박스형의 스토리지 노드들이 형성된다.

<27> 상기 제1 스토리지 노드들(65a)은 상기 제1 매립콘택 플러그들(55a)과 접촉하도록 정상적으로 형성된다. 이에 반하여, 상기 제2 스토리지 노드들(65b)은 도시된 바와 같이 상기 몰딩산화막(59)에 의해 상기 제2 매립콘택 플러그들(55b)과 절연된다.

<28> 상기 제1 및 제2 스토리지 노드들(65a, 65b)을 갖는 반도체 웨이퍼의 전면 상에 제2 포토레지스트막을 도포한다. 상기 제2 포토레지스트막을 블랭크 마스크를 사용하여 패턴닝하여 상기 유효칩 영역들(A)만을 노출시키는 제2 포토레지스트 패턴(69)을 형성한다. 결과적으로, 상기 제2 포토레지스트 패턴(69)은 상기 가장자리 칩 영역들(B)을 덮는다. 상기 제2 포토레지스트 패턴(69)은 상기 스크라이브 라인(S/L)을 노출시킬 수도 있다. 상기 제2 포토레지스트 패턴(69)을 형성하기 전에, 상기 제2 포토레지스트막의 가장자리 영역을 선택적으로 노광 및 현상하여 제2 폭(W2)을 갖는 제2 가장자리 노광

영역을 형성할 수도 있다. 이 경우에, 상기 제2 폭(W2)은 상기 제1 폭(W1)보다 작은 것이 바람직하다.

<29> 도 7 및 도 11을 참조하면, 상기 제2 포토레지스트 패턴(69)을 식각 마스크로 사용하여 상기 유효칩 영역들(A) 내의 상기 몰당산화막(59) 및 희생산화막 패턴들(67)을 선택적으로 습식식각하여 상기 제1 스토리지 노드들(65a)의 외측벽들 및 내벽들을 노출시킨다. 이 경우에, 상기 가장자리 칩 영역들(B) 내의 상기 몰당산화막(59) 및 희생산화막 패턴들(67)은 상기 제2 포토레지스트 패턴(69)의 존재에 기인하여 식각되지 않는다. 이에 따라, 상기 제2 스토리지 노드들(65b)이 들뜨는 것을 방지할 수 있다. 이에 더하여, 상기 가장자리 칩 영역들(B)의 표면은 상기 유효칩 영역들(A) 내의 상기 제1 스토리지 노드들(65a)의 상부면과 동일한 레벨을 갖는다. 상기 제2 포토레지스트 패턴(69)을 애싱 공정을 사용하여 제거한다.

<30> 상기 제2 포토레지스트 패턴(69)이 제거된 웨이퍼의 전면 상에 유전체막 및 플레이트 도전막을 차례로 형성한다. 상기 플레이트 도전막 및 유전체막을 패터닝하여 상기 유효 셀 어레이 영역들(Cm) 및 가장자리 셀 어레이 영역들(Ce)을 덮는 유전체막 패턴들(71) 및 플레이트 전극들(73)을 형성한다. 그 결과, 상기 유효 셀 어레이 영역들(Cm) 및 가장자리 셀 어레이 영역들(Ce) 내의 상기 플레이트 전극들(73)의 상부면들은 서로 동일한 레벨을 갖는다. 상기 플레이트 전극들(73)을 갖는 웨이퍼의 전면 상에 제1 상부 층간절연막을 형성한다. 상기 제1 상부 층간절연막은 BPSG막과 같은 유동성 산화막(flowable oxide layer)으로 형성한다. 상기 제1 상부 층간절연막(23)의 표면은 여전히 표면단차를 가질 수 있다. 이는 상기 유효 셀 어레이 영역들(Cm) 내의 제1 스토리지 노드들(65a) 및 상기 가장자리 셀 어

레이 영역들(Ce) 내의 식각되지 않은 몰딩산화막(59)에 기인한다. 따라서, 상기 셀 어레이 영역들(Cm, Ce) 내의 상기 제1 상부 층간절연막을 선택적으로 부분식각하여 제1 평탄화된 상부 층간절연막(75)을 형성한다. 그럼에도 불구하고, 상기 제1 평탄화된 상부 층간절연막(75)은 여전히 글로발 단차를 가질 수 있다.

<31> 도 7 및 도 12를 참조하면, 상기 제1 평탄화된 상부 층간절연막(75) 상에 제2 상부 층간절연막을 형성한다. 상기 제2 상부 층간절연막은 CVD 산화막으로 형성할 수 있다. 상기 제2 상부 층간절연막 및 상기 제1 평탄화된 상부 층간절연막(75)을 화학기계적 연마 공정 등을 사용하여 평탄화시켜서 완전 평탄화된(full planarized) 상부 층간절연막(77)을 형성한다. 그 결과, 상기 완전 평탄화된 상부 층간절연막(77)의 상부면은 상기 웨이퍼(51)의 전면에 걸쳐서 평평한 프로파일을 보인다. 이에 따라, 상기 상부 층간절연막(77) 상에 금속막을 형성하고 상기 금속막을 사진공정을 사용하여 패터닝하는 경우에, 초점불량 및 난반사에 의해 공정 여유도가 감소하는 것을 방지할 수 있다.

#### 【발명의 효과】

<32> 상술한 바와 같이 본 발명에 따르면, 웨이퍼의 가장자리에 인접한 가장자리 칩 영역들을 덮는 포토레지스트 패턴을 사용하여 상기 가장자리 칩 영역들 내의 비정상적인 패턴들이 들뜨는 것을 방지할 수 있다. 이에 따라, 상기 비정상적인 패턴들이 오염원들로서 작용하는 문제점을 근본적으로 해결하여 반도체소자의 수율을 현저히 증가시킬 수 있다.



**【특허청구범위】****【청구항 1】**

반도체 웨이퍼 상에 몰딩산화막을 형성하고,

상기 몰딩산화막을 스토리지 노드 마스크를 사용하여 패터닝하여 상기 웨이퍼의 내측에 한정되는 복수개의 유효칩 영역들 및 상기 웨이퍼의 가장자리에 한정되는 복수개의 가장자리 칩 영역들 내에 스토리지 노드 홀들을 형성하고,

상기 스토리지 노드 홀들 내에 서로 분리된 스토리지 노드들을 형성하고,

상기 스토리지 노드들을 갖는 반도체 웨이퍼의 전면 상에 포토레지스트막을 도포하고,

상기 유효칩 영역들 상의 상기 포토레지스트막을 블랭크 마스크를 사용하여 선택적으로 제거하여 상기 가장자리 칩 영역들을 덮는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 습식식각 마스크로 사용하여 상기 유효칩 영역들 내의 상기 몰딩 산화막을 습식식각하여 상기 유효칩 영역들 내의 상기 스토리지 노드들의 측벽들을 선택적으로 노출시키는 것을 포함하는 반도체 공정.

**【청구항 2】**

제 1 항에 있어서,

상기 스토리지 노드들의 각각은 실린더 형태를 갖도록 형성되되, 상기 실린더형의 스토리지 노드들의 내부는 희생산화막 패턴들로 채워지고, 상기 희생산화막 패턴들은 상기 몰딩 산화막을 습식식각하는 동안 제거되는 것을 특징으로 하는 반도체 공정.

## 【청구항 3】

제 1 항에 있어서,

상기 유효칩 영역들 내의 상기 몰딩 산화막이 식각된 반도체 웨이퍼의 전면 상에 유전체막 및 플레이트 도전막을 차례로 형성하고,

상기 플레이트 도전막 및 상기 유전체막을 패터닝하여 상기 유효칩 영역들 내의 셀 어레이 영역들 및 상기 가장자리 칩 영역들 내의 셀 어레이 영역들을 덮는 플레이트 전극들을 형성하고,

상기 플레이트 전극들을 갖는 반도체 웨이퍼의 전면 상에 제1 상부 층간절연막을 형성하고,

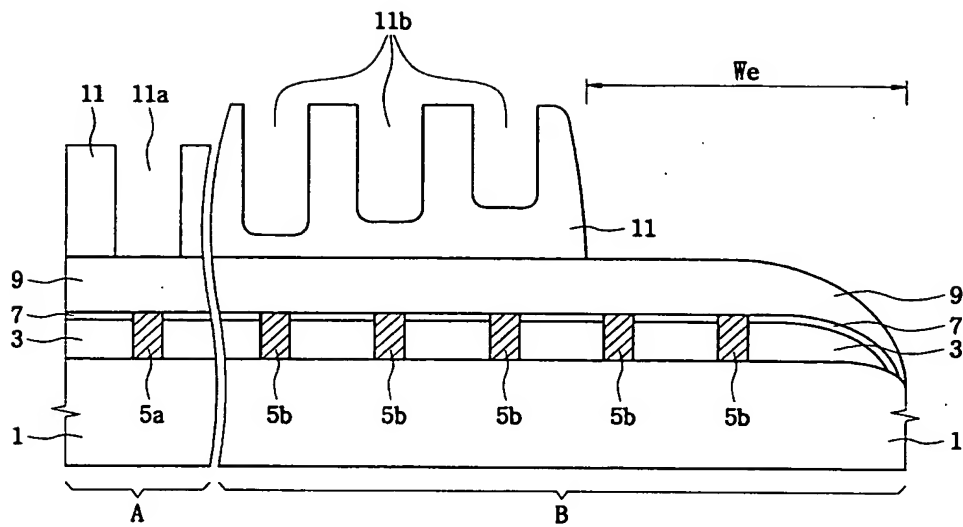
상기 유효칩 영역들 내의 셀 어레이 영역들 및 상기 가장자리 칩 영역들 내의 셀 어레이 영역들 상의 상기 제1 상부 층간절연막을 선택적으로 부분 식각하여 제1 평탄화된 상부 층간절연막을 형성하고,

상기 제1 평탄화된 상부 층간절연막 상에 제2 상부 층간절연막을 형성하고,

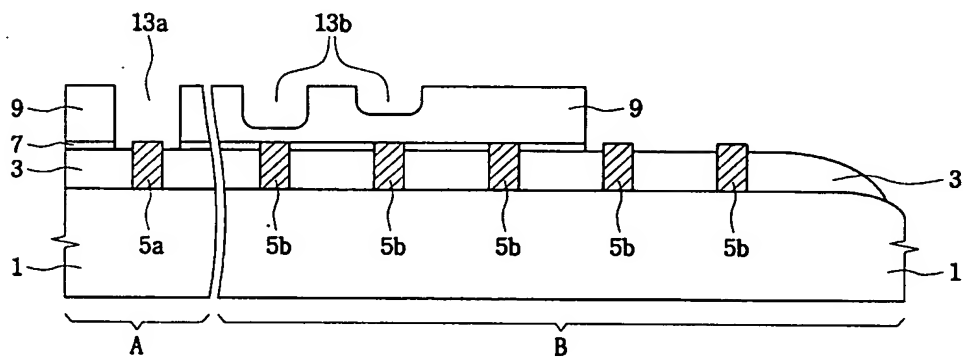
상기 제2 상부 층간절연막을 에치백하여 완전 평탄화된(full planarized) 상부 층간절연막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 공정.

【도면】

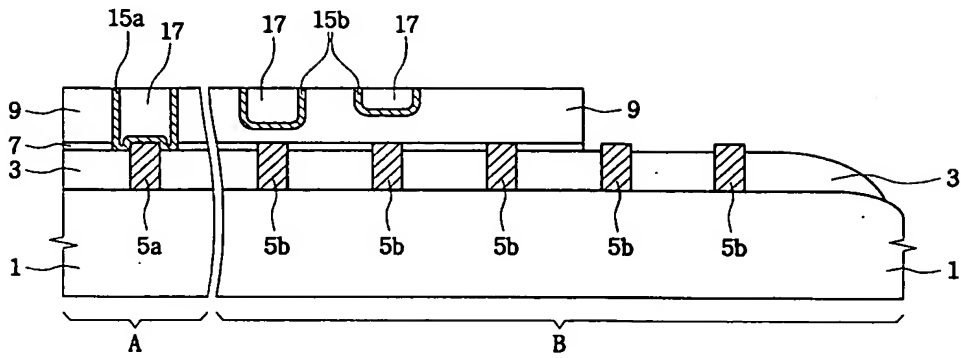
【도 1】



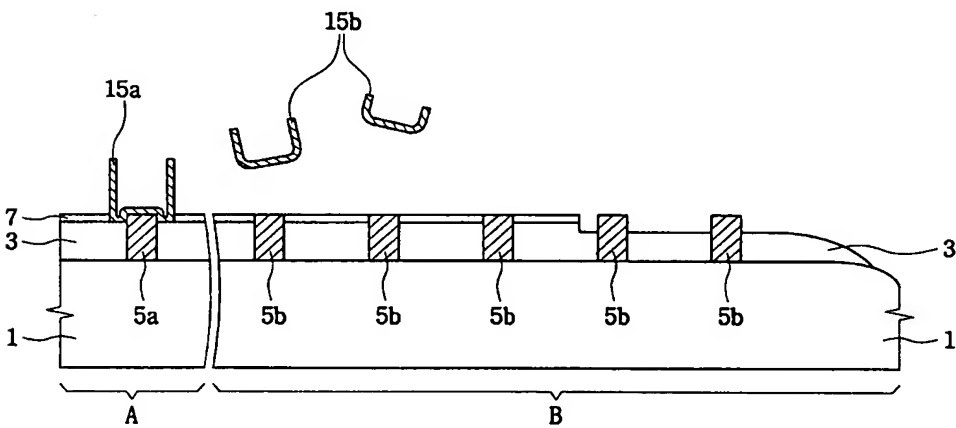
【도 2】



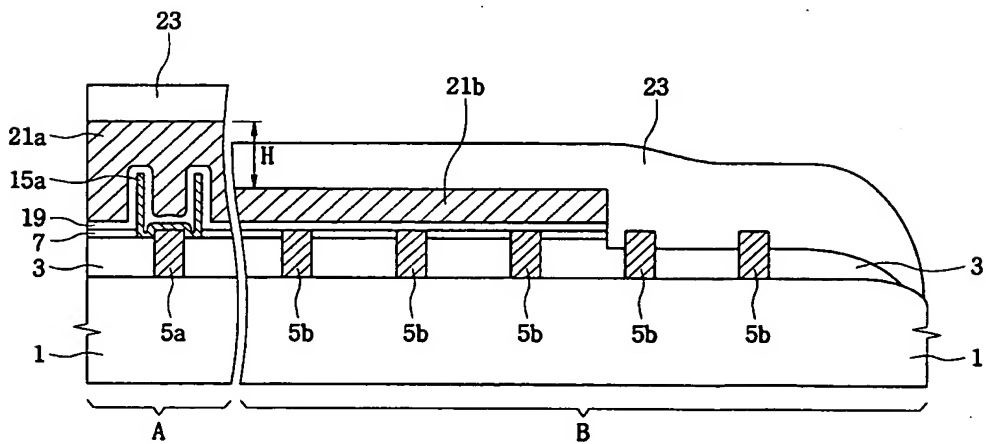
【도 3】



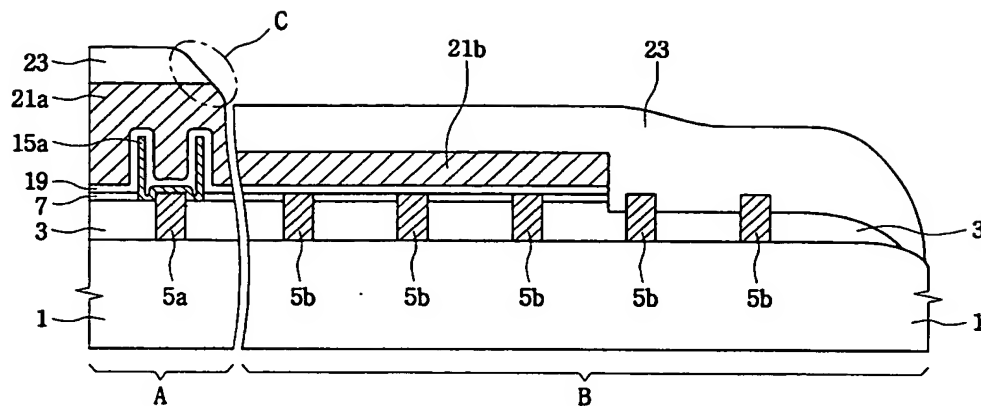
【도 4】



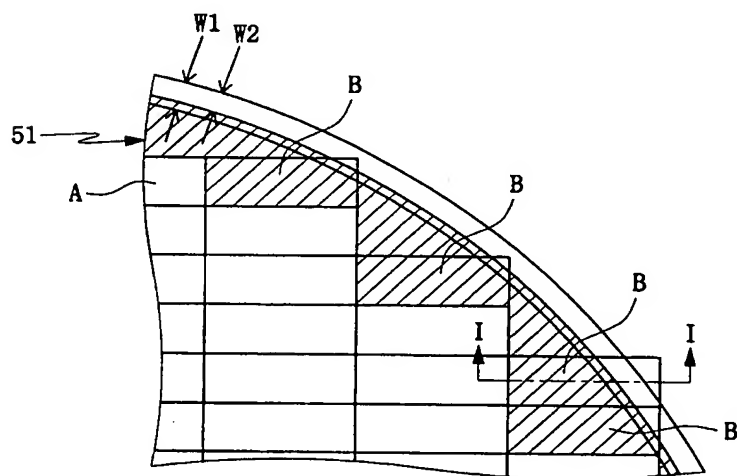
【도 5】



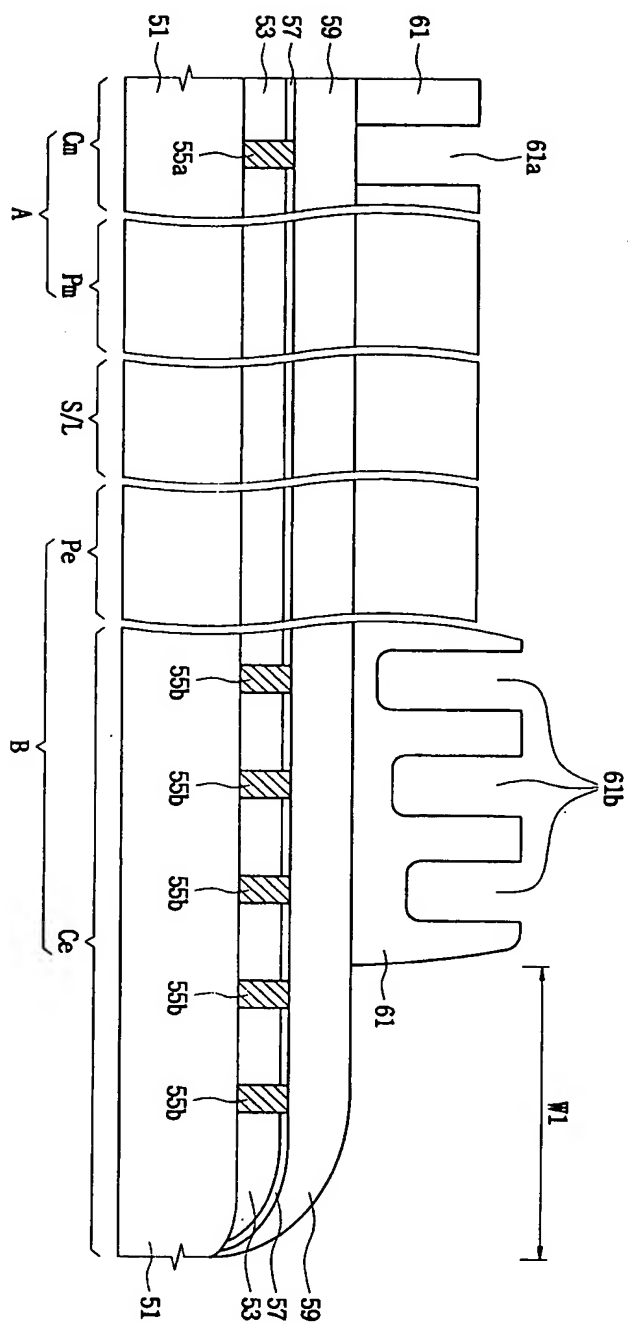
【도 6】



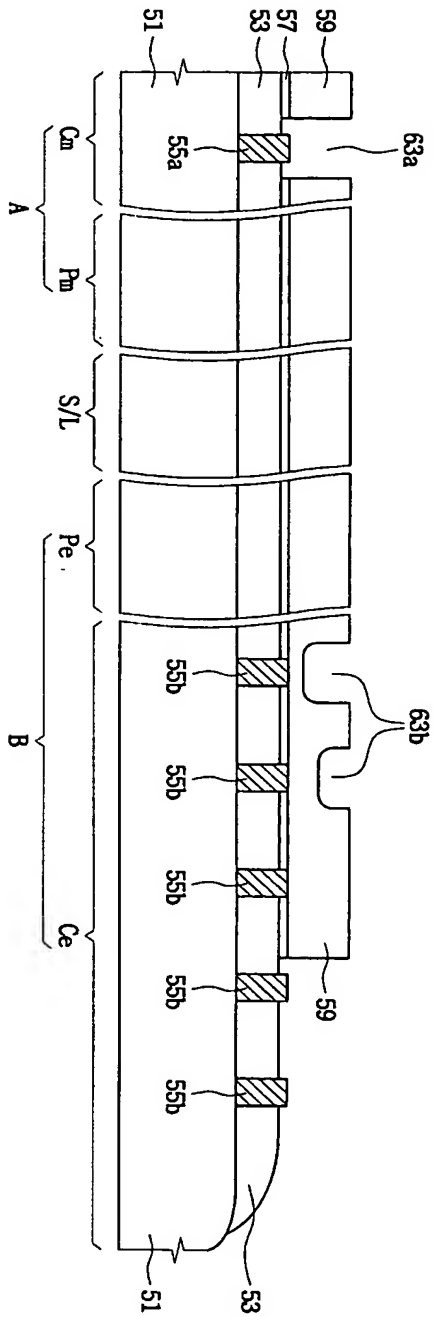
【도 7】



【도 8】



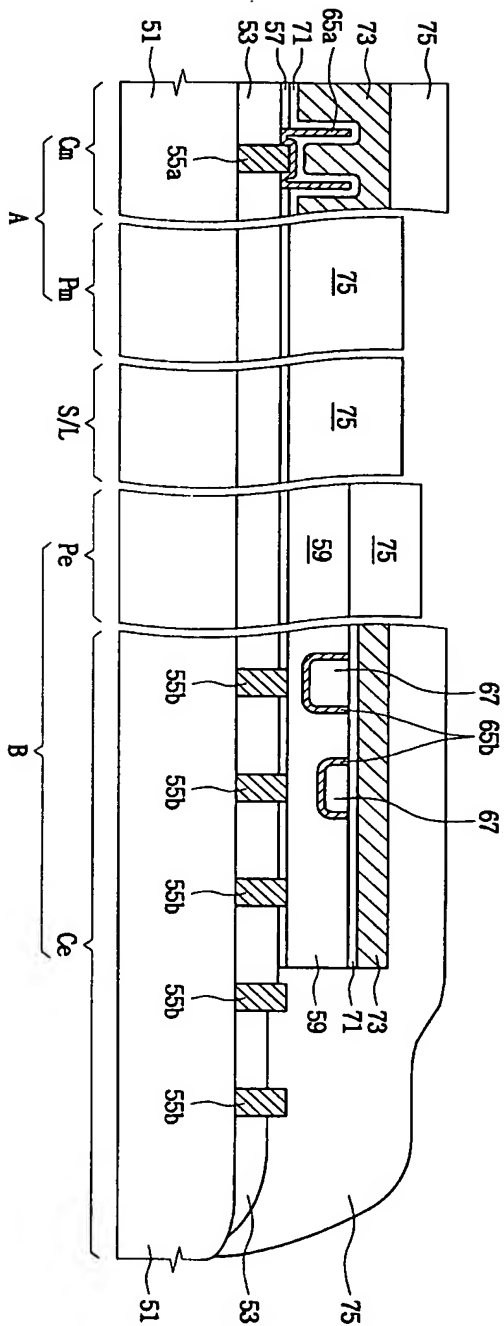
【도 9】







【도 11】



【도 12】

